

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re U.S. Patent Application of)
)
ATWOOD et al.)
)
Application Number: To be Assigned)
)
Filed: Concurrently Herewith)
)
For: SEMICONDUCTOR MEMORY PIPELINE BUFFER)
)
ATTORNEY DOCKET NO. HITA.0503)

Honorable Assistant Commissioner
for Patents
Washington, D.C. 20231

**REQUEST FOR PRIORITY
UNDER 35 U.S.C. § 119
AND THE INTERNATIONAL CONVENTION**

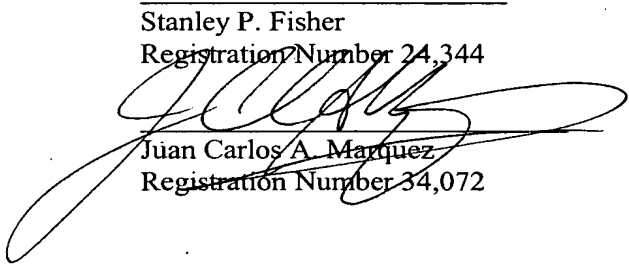
Sir:

In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of August 4, 2003, the filing date of the corresponding Japanese patent application 2003-205615

A certified copy of Japanese patent application 2003-205615 is being submitted herewith. Acknowledgment of receipt of the certified copy is respectfully requested in due course.

Respectfully submitted,

Stanley P. Fisher
Registration Number 24,344


Juan Carlos A. Marquez
Registration Number 34,072

REED SMITH LLP
3110 Fairview Park Drive
Suite 1400
Falls Church, Virginia 22042
(703) 641-4200
February 10, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 8 月 4 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 2 0 5 6 1 5
Application Number:

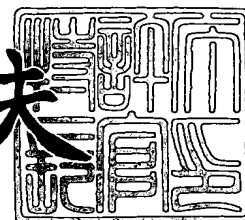
[ST. 10/C] : [J P 2 0 0 3 - 2 0 5 6 1 5]

出 願 人 株 式 会 社 日 立 製 作 所
Applicant(s):

2 0 0 3 年 9 月 2 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 7 9 4 3 2

【書類名】 特許願

【整理番号】 H03005661A

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/34

【発明者】

 【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所中央研究所内

 【氏名】 ブライアン・アトウッド

【発明者】

 【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所中央研究所内

 【氏名】 渡部 隆夫

【発明者】

 【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所中央研究所内

 【氏名】 阪田 健

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社日立製作所

【代理人】

 【識別番号】 100075096

 【弁理士】

 【氏名又は名称】 作田 康夫

 【電話番号】 03-3212-1111

【手数料の表示】

 【予納台帳番号】 013088

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 メモリ及び半導体装置

【特許請求の範囲】

【請求項 1】

複数のワード線と、

前記複数のワード線と交差する一対のデータ線と、前記複数のワード線と前記一対のデータ線の交点に設けられた複数のメモリセルとを含むメモリカラムとを具備し、

前記複数のメモリセルの夫々は、前記複数のワード線うち対応するワード線によりアクセスされ、前記複数のワード線のうち 2 本が並行して活性化することが可能であることを特徴とするメモリ。

【請求項 2】

前記複数のワード線は、第 1 の対のワード線と第 2 の対のワード線とを含み、

前記第 1 の対のワード線は、第 1 の交点で前記データ線の対と交差し、

前記第 2 の対のワード線は、第 2 の交点で前記データ線の対と交差し、

前記複数のメモリセルは、前記第 1 の交点に配置される第 1 のメモリセルと前記第 2 の交点に配置される第 2 のメモリセルとを含むことを特徴とする請求項 1 に記載のメモリ。

【請求項 3】

前記第 1 の対のワード線は、第 1 の書込みワード線と第 1 の読み出しワード線とを含み、

前記第 2 の対のワード線は、第 2 の書込みワード線と第 2 の読み出しワード線とを含むことを特徴とする請求項 2 に記載のメモリ。

【請求項 4】

前記並行して活性化されることが可能な 2 本のワード線は、前記第 1 の書込みワード線と前記第 2 の読み出しワード線とを含むことを特徴とする請求項 3 に記載のメモリ。

【請求項 5】

前記並行して活性化されることが可能な 2 本のワード線は、前記第 1 の書込み

ワード線と前記第1の読み出しワード線とを含むことを特徴とする請求項3に記載のメモリ。

【請求項6】

前記書込みワード線へ接続されたラッチを更に含み、前記ラッチは、第2アクセスにおける読み出しワード線活性化信号がデコードされているときに、前記第2アクセスより前の第1アクセスにおける書込みワード線活性化信号を保持するように構成されることを特徴とする請求項1に記載のメモリ。

【請求項7】

前記データ線の対は、読み出しデータ線と書込みデータ線とを含み、
前記メモリは、ラッチ入力とラッチ出力とを備えるラッチを更に含み、
前記ラッチ入力は、前記読み出しデータ線と入力データ線とへ接続され、
前記ラッチは、前記入力データ線のデータ又は接続されたメモリセルのデータを保持するように構成され、

前記ラッチ出力は、前記書込みデータ線へ接続されることを特徴とする請求項1に記載のメモリ。

【請求項8】

前記メモリは、前記読み出しデータ線を前記ラッチへ接続するように構成されたセンスアンプを更に含み、

前記読み出しデータ線は、センスアンプ入力へ接続され、
センスアンプ出力は、前記ラッチ入力へ接続されることを特徴とする請求項7に記載のメモリ。

【請求項9】

前記メモリは、同一のメモリセルが連続読み出しアクセスを受け付けた場合に、前記同一のメモリセルに格納されたデータではなく前記同一のメモリセルに接続されたラッチに保持されたデータを読み出すように構成されることを特徴とする請求項8に記載のメモリ。

【請求項10】

前記複数のメモリセルの少なくとも一つは、3トランジスタ・ダイナミックメモリセル、または、書込みトランジスタを含む3トランジスタ・ダイナミックメ

メモリセルのいずれか一方であり、

前記書込みトランジスタはチャンネル領域の厚みが8ナノメートル以下を有する薄膜チャンネル多結晶シリコン・トランジスタであることを特徴とする請求項1に記載のメモリ。

【請求項11】

前記メモリは、同一のメモリセルが外部入力データバスからの連続書込みアクセスを受け入れる場合であり、かつ、前記連続書込みアクセスが前記同一のメモリセルの接続されたラッチへの新規データを含む場合、前記同一のメモリセルではなく前記接続されたラッチが前記連続書込みアクセスを受け入れるように構成されることを特徴とする請求項8に記載のメモリ。

【請求項12】

前記メモリは、複数の他のデータ線対と、複数の他のセンスアンプと、複数の他のラッチとを更に含むことを特徴とする請求項8に記載のメモリ。

【請求項13】

前記メモリは、メモリセルの同一のロウが連続読み出しアクセスを受け入れる場合に、メモリセルの前記同一ロウに格納されているデータではなくラッチに保持されているデータを読み出すように構成されることを特徴とする請求項12に記載のメモリ。

【請求項14】

前記メモリは、メモリセルの同一ロウが外部入力データバスからの連続書き込みアクセスを受け入れる場合であり、かつ、前記連続書込みアクセスがメモリセルの前記同一ロウの特定のラッチに対する新規データを含む場合、前記特定のラッチに接続されているメモリセルではなく前記特定のラッチが前記連続書き込みアクセスを受け入れるように構成されることを特徴とする請求項12に記載のメモリ。

【請求項15】

前記メモリカラムと同様に構成された別のメモリカラムを更に含み、前記メモリカラムと前記他のメモリカラムが前記ラッチを共有することを特徴とする請求項8に記載のメモリ。

【請求項 16】

読み出しデータ線と書込みデータ線とを有する一対のデータ線を含むメモリカラムと、

ラッチ入力とラッチ出力とを含むラッチとを具備し、

前記ラッチ入力は、前記読み出しデータ線へ接続され、また、入力データ線へ接続され、前記ラッチは、前記入力データ線のデータを保持するように構成され、前記ラッチ出力は、前記書込みデータ線へ接続されることを特徴とするメモリ

。

【請求項 17】

前記読み出しデータ線を前記ラッチへ接続するように構成されたセンスアンプを更に含み、

前記読み出しデータ線は、センスアンプ入力へ接続され、センスアンプ出力が前記ラッチ入力へ接続されることを特徴とする請求項 16 に記載のメモリ。

【請求項 18】

前記メモリカラムは、複数のワード線と、複数のメモリセルとを含み、

前記複数のワード線は、前記データ線の対と交差し、

前記複数のメモリセルの夫々は、対応するワード線とデータ線によってアクセスされ、

前記複数のワード線のうち 2 本が並列にワード線活性化されることが可能であることを特徴とする請求項 17 に記載のメモリ。

【請求項 19】

前記メモリは、同一のメモリセルが連続読み出しアクセスを受け入れる場合、前記同一のメモリセルに格納されているデータではなく、前記同一のメモリセルに接続されたラッチに保持されているデータを読み出すように構成されることを特徴とする請求項 18 に記載のメモリ。

【請求項 20】

前記メモリは、同一のメモリセルが外部入力データバスから連続書込みアクセスを受け入れる場合であり、かつ、前記連続書込みアクセスが前記同一のメモリセルに接続されたラッチへの新規データを含む場合、前記同一のメモリセルでは

なく前記接続されているラッチが前記連続書込みアクセスを受け入れるように構成されることを特徴とする請求項 1 7 に記載のメモリ。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は半導体装置、一般に半導体メモリに関し、さらに詳しく説明すると、独立した読み出しデータ線と書込みデータ線を持ち、破壊書込み動作を行う高密度高速アクセス半導体メモリにおいて、書込み動作を高速に行うためのアレイ構造、配列、活性化方式に関する。

【0 0 0 2】

【従来技術】

キャッシュ等、所謂オンチップメモリとして通常、応用されるのは、6 トランジスタ・スタティック・ランダム・アクセス・メモリ (6 T S R A M) または 1 トランジスタ 1 キャパシタ・ダイナミック・ランダム・アクセス・メモリ (1 T - 1 C D R A M) のどちらかである。6 T S R A M はアクセス速度が高速であり、演算回路や論理回路の製造プロセスで形成できることから、設計製造コストが低く、広く使われている。しかし、マルチメディア処理に対応するためキャッシュなどオンチップメモリの大容量化の要求がますます増加すると、大きなセル寸法による面積の増大が問題になってしまう。

【0 0 0 3】

一方、1 T - 1 C D R A M は高いビット密度が要求される場合に適している。しかし、この技術は幾つかの課題がありデバイス寸法が小さくなるにつれて顕在化する。特に、D R A M セルは内部利得 (ゲイン) がいないため、読み出し信号を確実に検出するためには、十分な電荷を蓄積する大容量のキャパシタ素子 (~ 3 0 f F) を微細なセル内に形成しなければならない。そのため、複雑なコンデンサ構造と特殊な材料を使用してキャパシタを製造する必要がある。その結果、標準的な論理回路プロセスとの互換性が失われ、製造コストが高くなるという問題がある。

【0 0 0 4】

SRAMよりビット密度が高く、しかも、SRAMと同様に安価なものとして、3トランジスタセルのようなゲインセル技術も提案されている。3トランジスタセルは、ダイナミックセルの一種であるが、読み出し時にはセル内部のトランジスタでデータ線を駆動するのでゲインがある。このため1トランジスタDRAMセルのように大容量キャパシタを形成する必要はない。また、構成トランジスタ数がSRAMより少ないのでビット密度も高い。

しかしながら、上述のような3トランジスタセルは、書込みサイクル時間がSRAMに較べて遅いという課題がある。書込みサイクル時間が遅いのは、書込み動作が破壊動作であるため、書込み動作を始める前に読み出し動作を行う必要があるためである。即ち、一般的な3トランジスタセルの書込み動作は、まず入力されたロウアドレスに対応する読み出しワード線を活性化し、そのワード線に接続された全セルの情報を読み出す。次に、読み出したデータのうち、入力されたコラムアドレスに対応するものを入力された書込みデータで置き換える。つづいて、入力されたロウアドレスに対応する書込みワード線を活性化し、ワード線上の全セルにデータを書き戻す。

このようにすると、書込み動作は読み出し及び書込みの2つのフェーズから構成され、書込みサイクル時間がこれら2つのフェーズの時間の和となってしまう。

この課題を解決するものとして、特許文献1に記載されるような技術が提案されている。図3は、特許文献1の図1に示された方式を表す図である。図3に示される3トランジスタメモリセルでは、書込みワード線を分割し、書込みワード線の選択のためにライトワード信号WWLとコラムセレクト信号WYの積を用いている。このようにすると、選択される書込みワード線上のセルの数と、メモリへ書き込まれるデータの数を同じにできるので、書込みが非破壊動作とすることができる。これにより、予め書込みワード線上のデータを読み出す必要はなくなり、書込みの高速化が実現できる。

【特許文献1】

特開平10-134565号公報

【発明が解決しようとする課題】

しかし、この方式では、書き込むデータの数が多い場合はよいが、例えば8ビットのデータの書込みに対応するのは困難である。すなわち、書込みワード線を8ビット毎に分割する必要があるので、選択用のAND回路やカラムアドレス信号の配線のための領域が増加して、3トランジスタセルの特長である高集積性が損なわれてしまうことに本願発明者等は気が付いた。

本発明が解決しようとする課題は、3トランジスタセルなど書込みが破壊動作となるメモリセルにおける書込み動作の高速化である。

【0005】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば以下の通りである。

複数のワード線と、前記複数のワード線と交差する一对のデータ線と、前記複数のワード線と前記一对のデータ線の交点に設けられた複数のメモリセルとを含むメモリカラムとを具備し、前記複数のメモリセルの夫々は、前記複数のワード線うち対応するワード線によりアクセスされ、前記複数のワード線のうち2本が並行して活性化することが可能であるように構成する。

更に望ましくは、前記複数のワード線は、第1の対のワード線と第2の対のワード線とを含み、前記第1の対のワード線は、第1の交点で前記データ線の対と交差し、前記第2の対のワード線は、第2の交点で前記データ線の対と交差し、前記複数のメモリセルは、前記第1の交点に配置される第1のメモリセルと前記第2の交点に配置される第2のメモリセルとを含む。

更に望ましくは、前記第1の対のワード線は、第1の書込みワード線と第1の読み出しワード線とを含み、前記第2の対のワード線は、第2の書込みワード線と第2の読み出しワード線とを含む。

更に望ましくは、前記並行して有効になることが可能な2本のワード線は、前記第1の書込みワード線と前記第2の読み出しワード線とを含む。

【0006】

【発明の実施の形態】

以下では、特定の実施例を用いて本発明を説明する。しかし本発明はそれらに

限定されずにさまざまな構成、手段で実施できることが当業者には理解されよう。

【0007】

図1(a)は本発明のメモリ回路の回路図を示す第1の実施例である。図において、マトMATには、簡単のためにメモリセルMCを一つだけ示し、入出力回路とデータ線の接続を制御するカラム選択回路なども省略しているが、実際には、カラムとロウ方向の2次元に配列された複数のメモリセルと、それらのメモリセルをアクセスするための複数の読み出しワード線RWL、書込みワード線WWL、読み出しデータ線RDL、書込みデータ線WDLから構成された所謂メモリアレイである。センスアンプSAは信号を基準信号VRと比較して読み出しデータ線にあるデータを識別し、増幅する。センスアンプの出力SOはラッチ回路LTの入力へ接続される。さらに、カラムの入力データ線DINもスイッチを介してラッチ回路の入力へ接続される。ラッチ回路の出力はスイッチを介して書込みデータ線WDLへ接続されアクセスしたセルへの書込みデータを転送する。さらに、ラッチの出力は読み出したデータをマイクロプロセッサなどの演算回路や論理回路へ出力するために使用されるバッファを経由してデータ出力線DOUTへ接続される。

【0008】

上記図1(a)のメモリアーキテクチャのアクセス方法の詳細を説明する前に、本発明の実施例で扱うメモリセルについて説明を行う。以下では3トランジスタ(3T)ダイナミックメモリセルを例に説明するが、以下の実施例の説明から容易にわかるように本発明はこれに限定されることはない。

【0009】

図2(a)は本発明に好適な3トランジスタ(3T)ダイナミックメモリセルの回路図の実施例である。

【0010】

図2(b)は、図2(a)の回路の機能を示す波形図の実施例である。図2(a)に図示してあるように、書込みトランジスタQWは書込みワード線WWLが高電圧レベルVDDに上昇した時に書込みデータ線WDLから蓄積トランジスタ

Q S へ電荷を移動し保存する。保存された電荷により、蓄積トランジスタ Q S のゲート電圧が低電位もしくは高電位となり、それによって導通状態が変化する。なお、ここでは、書込みワード線 W W L の高電位のレベルを V D D としたが、書込みトランジスタ Q W のしきい電圧の影響を受けずに十分な高電位を蓄積ノードに書き込むには V D D より高い電位にした方がよい場合がある。また、低電位レベルも 0 V ではなく、さらに低い電位にした方がリーク電流が減少してリテンション時間が延びる場合がある。そのような場合には必要に応じて適切な電位に設定することはもちろんである。上記で記憶されたデータは、読み出しワード線 R W L を高電圧レベル V D D に上昇することで読み出しトランジスタ Q R を活性化（オン）し読み出される。活性化の間、蓄積トランジスタ Q S のゲートにかかる電圧の高低によって、読み出しデータ線 R D L から読み出しトランジスタ Q R と蓄積トランジスタ Q S へ流れる電流が決定される。読み出しデータ線 R D L に接続されたセンスアンプは、上記電流による読み出しデータ線 R D L の電位の変化を検出する。このようにしてセルに記憶されたデータを判定できる。蓄積トランジスタ Q S のゲートの電圧が低いと読み出しデータ線 R D L の電位は一定のままとなり、逆に高いと R D L の電位は低下する。

【0011】

図 2（c）は図 2（a）に図示したセルの書込みトランジスタ Q W に薄膜チャンネル多結晶トランジスタを使用した実施例の断面図である。3 トランジスタセルでは、1 T-1 C セルのように大容量のキャパシタを使用しない。このため、書込みトランジスタとして通常バルクトランジスタを使用するとリーク電流が大きいため、リテンション特性がよくないことがあり得る。リテンション特性が悪いと頻繁にリフレッシュ動作を行う必要があり、メモリの待機電流が増加するという問題が起きる。本実施例は、このような問題を解決するのに好適な実施例である。図において、書込みトランジスタ Q W のドレイン、ゲート、チャンネル C H 領域は別々の多結晶シリコン層から形成される。ソース領域は蓄積トランジスタ Q S のゲートの多結晶シリコンから形成できる。チャンネル C H は、薄膜の多結晶シリコン層である。その厚さは、リーク電流を十分に小さくできるように決定する。たとえば 8 ナノメートル以下に設定すると量子効果により特にリーク

電流低減に効果があり、2ナノメートル程度にすれば、リーク電流を10のマイナス19乗アンペア程度と非常に小さくできる。このように、薄いチャネルを使用すると、オフ状態でのリーク電流を、バルクトランジスタのそれと比べて、4桁もしくはそれ以上に劇的に減少できる。これにより、リテンション特性を改善させることができ、低電力のメモリができる。このトランジスタの特性、構造や製造プロセスのさらに詳しい説明は米国特許出願第10/167754号に記載されている。

【0012】

以下、図1にもどってその動作を説明する。図1(b)、図1(c)は、図1(a)のセンスアンプと書込みデータ線の間にあるデータラッチの機能を説明する波形図を示した実施例である。

【0013】

図1(b)には、選択されていないカラムの高電位書込みサイクルが図示してある。書込みサイクルは読み出しワード線RWLが活性化される読み出しフェーズ、および書込みワード線WWLが活性化される書込みフェーズから構成される。この実施例では信号が読み出されてセンスアンプ出力SOが確定すると、ラッチイネーブル信号LEが活性化され、ラッチ回路LTに信号が保存される。この時点で、ラッチの出力から、スイッチを経由して書込みデータ線WDLへ信号が伝達される。書込みフェーズでは、書込みワード線WWLが活性化され、書込みデータ線WDLからメモリセルMCの記憶要素(ゲート容量)へ電荷の転送が行なわれる。図1(c)は、選択されていないカラムにおける低電位データの書込みアクセス波形である。このアクセスは、図1(b)のアクセスと同様に進行する。相違点は、読み出しフェーズの間、メモリセルMCが低導通状態のため読み出しデータ線RDLが高電位VDDを維持することである。センスアンプSAが活性化すると、低電圧信号(0V)がセンスアンプ出力SOに発生する。上記の信号はラッチイネーブル信号LEの活性化時にラッチ回路LTに保存される。これにより書込みデータ線WDLの信号が低電位にセットされる。書込みフェーズはこれに続き、書込みワード線WWLの活性化により低値の書込みデータ線WDLからメモリセルMCの蓄積要素へ電荷が転送される。以上、本発明の基本的な

構成の動作を実施例を用いて説明した。上記実施例では、ラッチにより読み出しデータを一時的に保存できることが特長である。以下で述べるようにこの特長により書込みサイクルの高速化が可能となる。

【0014】

以下では、図4の回路図と図5の波形図の実施例を用いて書込みの高速化（パイプライン化）の説明を行う。

【0015】

図4は上記の実施例にもとづいて構成したメモリバンクの構成を示した実施例である。個々のメモリセルMCは前述したようにロウとカラムの2次元方向に配置される。図4には、プリチャージトランジスタQPも図示してある。ロウデコード回路XDECとワード線ドライバ回路XDRVはロウアドレスXADRに基づきワード線を選択し駆動するために使用する。同様に、カラムデコードYDECとドライバ回路YDRVは読み出し及び書込み動作中にアクセスされるカラムのブロックを決定するために使用する。これらの回路は更にデータ入力選択信号DISとデータ出力選択信号DOSを介してカラム読み出し書込み選択トランジスタを駆動し、選択されたカラムをデータ入力線DIおよびデータ出力線DOへ接続する。さらに、クロック・ジェネレータブロックCLK GENがアレイブロック全体で使用される周期信号を作成し、クロック・ジェネレータブロックCLK GENの動作は読み出しRD、書込みWR、クロックCLK外部入力により決定される。アドレス制御回路ADRC TLは、更に詳細に以下で説明するように同一ロウへの連続アクセスを表わす連続アクセス信号CAを生成するために設けられる。

【0016】

図5は本発明の第1実施例による図4に図示した回路で使用するアクセス信号を表わした波形図である。図5に図示された波形図は、第1実施例のパイプライン書込みアクセスの動作、特に、同一カラムにある2つの独立したロウアドレスへの連続した2つの書込みアクセスを示している。第1の書込みアクセスはメモリバンク・アドレス入力ADRへアドレス値Aが入力され、時刻T1で外部書込み信号WEを活性化することから始まる。アドレスをデコードした後、選択さ

れた読み出しワード線 R W L 1 が活性化されセル信号は前述したようにカラム読み出しデータ線に発生し始める。充分な時間の後、センスアンプが活性化されロウデータ A がセンスアンプ出力 S A M P に現れる。同時に、外部入力データ D I がカラム選択の活性化により選択されたカラム・バンクに出力されてそれまで記憶していたデータに新しいデータを上書きする。時刻 T 2 でラッチイネーブル信号 L E が活性化されデータがラッチに記憶される (L T DATA)。これで第 1 の書込みアクセスの読み出しフェーズが完了する。

【 0 0 1 7 】

第 1 のアクセスの書込みフェーズと第 2 のアクセスの読み出しフェーズのパイプライン動作についてここで説明する。書込みデータはデータ線選択信号 D L S W の活性化により書込みデータ線 W D L へ出力される。書込みデータ線 W D L の信号が十分に発生すると、書込みワード線 W W L 1 が活性化されセルの内容の書込みが開始される。第 1 のロウ・アクセスの書込みフェーズと同時に、第 2 のロウ・アクセスの読み出しフェーズが開始する。第 2 のロウアドレス B がアドレスデコードに提示され書込み信号 W E が時刻 T 3 にアサートされる。ロウアドレスのデコードに続いて、読み出しワード線 R W L 2 が活性化され第 2 の選択されたロウに対する信号が読み出しデータ線 R D L に発生し始める。読み出しデータ線 R D L に読み出し信号が完全に発生した後、センスアンプが活性化されてロウデータ B がセンスアンプ出力 S A M P に現れる。この時間の間に、第 1 の書込みアクセスの書込みフェーズが完了し第 1 の書込みワード線 W W L 1 と書込みデータ線選択信号 D L S W が不活性化される。これに続いてセンスアンプのデータと外部入力データバス D I からの新規データは、時刻 T 4 でラッチイネーブル信号 L E の活性化によりラッチに格納され第 2 の書込み動作の読み出し前フェーズが終了する。これに続いて、通常の手書きフェーズが継続し、データ線選択信号 D L S W の活性化、第 2 のロウ書込みワード線 W W L 2 の活性化がされ、選択されたメモリセルへの新規データの記憶が行なわれる。本明細書で説明しているように、後続のロウ・アクセスの手書きフェーズと読み出しフェーズはオーバーラップ又はパイプライン化する。即ち、第 1 のアクセスが完了する前に第 2 のアクセスを開始することで高速アクセスが実現される。

【0018】

パイプライン化アクセス方法を実現するにはメモリブロックに二つの重要な機能が必要である。その第1は各メモリ・カラムが独立した読み出しデータ線と書込みデータ線を備えることである。これにより連続アクセスでオーバーラップした読み出しフェーズと書込みフェーズの間に読み出しデータ線と書込みデータ線に別々の値をセットすることができる。第2に、1つのロウの書込みワード線を別の読み出しワード線と同時に活性化できるような方法を使用する必要がある。1つの方法としては2つの独立したワード線デコーダ回路を設け、一方は読み出しワード線に、もう一方は書込みワード線に使用することである。しかし、もっとコンパクトな解決方法として読み出しワード線と書込みワード線の両方に同一のデコーダを使用することが挙げられる。したがって本発明ではラッチを使用してデコードした書込みワード線活性化信号を保持すると同時に後続の読み出しワード線活性化信号のデコードを開始する。この方法については更に詳細に後述する。

【0019】

第1の実施例に示したパイプライン・アクセスによってキャッシュミスなし又はウェイト状態なしで外部信号に対する書込みアクセス・サイクル時間の減少が可能になる。連続読み出し書込みアクセスは前述のように無限に継続可能である。しかし、メモリバンク内の同一ロウに対する連続アクセスには注意を要する。たとえば、同一ロウに対して書込みついで読み出しするアクセスの場合を考えてみる。本実施例では、第1の書込みアクセスに対して読み出しフェーズが発生しデータがラッチに記憶され、これに続いて、ラッチに記憶されたデータがセルに書き込まれる一方で次のロウが同時に読み出される。また、同一ロウの連続アクセスでは、第1の書込みアクセスの読み出しフェーズの後で、新規データが外部データバスから入力されるので一番新しいデータがラッチにあることになる。そのため、セルのロウからデータを読み出すのではなく、データをラッチから読み出すべきである。この理由から、同一ロウに対して連続アクセスが行なわれていることを表わすために信号が利用できるようになっている必要がある。

【0020】

図6 (a) は本発明の第1実施例による回路を示し、連続アクセス信号CAを生成するように構成されている。

【0021】

図6 (b) は本発明の第1実施例による図6 (a) の回路の波形である。図6 (a) と図6 (b) に図示してあるように、ロウアドレス線XADRに基づいて連続アクセス信号CAが生成される。これらのアドレス線はラッチCLTとコンパレータCMPへ入力される。ラッチCLTとコンパレータCMPは外部連続アクセス・クロック信号CACKによりロウアドレスXALTを取り込む。ラッチCLTの機能は直前のサイクルのロウアドレスXALTの値を保持して現在のアクセス・サイクルのロウアドレスXALTと比較できるようにすることである。波形図に図示してあるように、第1のロウアドレスXADRAがクロック信号CACKの立ち上りエッジで直前のアドレスと比較され、連続アクセス信号CAがLowとなる。クロック信号CACKの立ち下がりエッジはラッチCLTにアドレスXADRを保存する。次のアクセスでは、同一のロウアドレスが入力されクロック信号CACKの立ち上りエッジでコンパレータをトリガして連続アクセス信号CAを発生する(Highとなる)。これは連続アクセスを表わしておりまたメモリブロック内の他の回路が後述するようにこれにしたがって応答する。波形図に図示してあるように、XADRBの非連続アクセスが発生した場合、立ち上りエッジはコンパレータをトリガして入力ロウアドレスXADRBとラッチしたロウアドレスXADRAとを比較させ、連続アクセス信号CAがLowとなる。このようにすると、連続アクセス信号CAは同一ロウの連続アクセスの場合に活性化される。

【0022】

図7は本発明の第1実施例によるロウアドレス・デコーダとワード線信号回路を示す。図8は本発明の第1実施例による図7の回路の波形である。図7の回路図はロウアドレス線XADRを標準ロウデコーダ回路XDECへの入力として図示している。ロウデコーダ回路XDECからの活性化した出力信号は個別の読み出しワード線RWL信号を生成するために使用され各ロウにあるロウラッチWLTに入力される。ロウラッチWLTに記憶された信号は、書込みアクセスの書込

みフェーズでそのロウの書込みワード線WWL信号を駆動するために使用される。図7の下側にある追加の回路を用いてデコードした読み出しワード線RWLと書込みワード線WWLをイネーブルにすべきかどうかを判定する。外部読み出しイネーブルREと書込みイネーブルWE信号は現在のアクセスが書込みなのか読み出しなのかを判定する。連続アクセス信号CAはアクセスが直前のサイクルと同一ロウに対するものかどうかを判定するもので、生成回路については前述した。さらに、セット／リセット・ラッチSRLを使用して外部書込み信号WEの値を保持する。読み出しクロックCLKと書込みクロックWCK信号はクロック生成回路から入力されこれらの周期クロック信号を用いて入力論理に基づいてイネーブル信号を活性化する。

【0023】

図7のワード線イネーブル回路の動作を図8の波形図を用いて説明する。図8には代表的なアクセスが図示してあるが、これは図7の回路の動作を示すものである。書込み・読み出し・書込みの3サイクル連続アクセスが同一のロウアドレスXADRAに対して行なわれ、これに続けて第2のロウアドレスXADRBへの書込みアクセスと、第3のロウアドレスXADRCへの読出しアクセスが行なわれる。第1のアクセスの時点で、ロウアドレスXADRはロウデコード回路XDECに提示され外部書込み信号WEがアサートされる。これが最初のアクセスであるから連続アクセス信号CAはLowになっているので、読み出しクロックCLKのアサートで外部読み出しイネーブルRAがHighとなり、対応する読み出しワード線RWL1がHighになる。読み出しサイクルは読み出しデータ線信号の増幅で完了し読み出しデータがカラム・ラッチに保存される。この時点で、ラッチイネーブルLTEがアサートされセット／リセット・ラッチSRLがトリガされて書込みアクセスを表わす書込みイネーブル信号WEのHighを保持する。次のアクセスは同一ロウに対する読み出しアクセスである。データがカラム・ラッチにありセルアレイにはないので、回路は第1のアクセスの書込みフェーズを遅延させ読み出しワード線RWL1をイネーブルにはしない。これはCA信号の反転による読み出しREと書込みWE信号の論理AND機能によって実現される。言い換えれば、読み出しワード線RWL1と書込みワード線WWL1

の活性化は同一ロウへの後続のアクセスでディスエーブルになる。後述するカラム読み出し回路では、データがカラム・ラッチから読み出されてセルアレイからではないことを示す。第3のアクセスは同一のロウアドレスXADRAに対する書込みである。ここでも、CA信号がアサートされるので、読み出しワード線RWL1と書込みワード線WWL1がディスエーブルになりデータはカラム・ラッチへ直接書き込まれる。第4のアクセスでは、ロウアドレスXADRが変化して連続アクセス信号CAが不活性化される（Lowとなる）。セット／リセット・ラッチSRLには書込みイネーブル信号WEのHighが保存されているので、回路は書込みアクセスが発生したことを記録しカラム・ラッチのデータがメモリアレイに書き込まれる。ここで、書込みイネーブル・クロックWCKが活性化されているので、第1のロウの書込みワード線WWL1が活性化し第3のアクセスの書込みフェーズを開始する。同時に、第4のアクセスの読み出しフェーズに対するロウアドレスXADRBがデコードされて読み出しワード線RWL2が活性化される。第4のサイクルは第3のアドレスXADRCへの読み出しアクセスであり外部読み出しイネーブルRE信号のアサートから開始する。直前の書込みサイクルの書込みフェーズは書込みイネーブル・クロックWCKの活性化から始まり、第2のロウの書込みワード線WWL2がアサートされる。同時に、読み出しイネーブル・クロックRCKの立ち上りエッジで、第3のロウの読み出しワード線RWL3が活性化され最後の読み出しアクセスが完了する。このように、図7に示される回路を用いることにより2個から1個に減少させることが可能となる。さらに、回路は現在のデータがカラム・ラッチに保存されている場合でも連続アクセスが別個のロウに対するものである場合にはメモリアレイへのみアクセスすることによりデータの完全性を保持することができる。

【0024】

図9（a）は本発明の第1実施例の別の重要な要素であるカラム・アクセス回路の一例である。図9（b）は本発明の第1実施例による図9（a）の回路の波形図である。図9（a）及び図9（b）を参照して、アレイ・データを保存するのに必要な機能について説明する。同一ロウへの連続書込みアクセスを考えると、第1のアクセスでカラム・ラッチへロウ内のデータの全部を読み出すこと

が必要である。しかし後続のアクセスではセルアレイ内のデータではなくラッチ内のデータが有効であるから、後続の書込みは、外部入力データバスから新規データを受信するアレイ内のラッチに対してだけ実行されるべきである。このカラム回路はデコードしたカラムアドレス信号 $Y_1 \cdots Y_k$ 、外部書込みイネーブル信号 WE 、連続アクセス信号 CA 、ラッチクロック LCK の組み合わせによってラッチ・アクセスを制御する。

【0025】

図9(a)に図示してあるように、ラッチ信号 LE は2種類の条件下で、書込みイネーブル信号 WE とラッチクロック LCK が $High$ になった時に活性化される。(1) 連続ロウ・アクセスではない全てのアクセス (CA が Low)、または(2) 対応するカラムのグループが選択されている (Y が $High$)。第1の場合はロウの最初の書込みアクセスで発生する。この場合、ロウ内のデータの全部がカラム・ラッチに保存されて正しいデータが書込みサイクルの書込みフェーズの間に出力されるようにしなければならない。連続アクセスではないので、連続アクセス信号 CA は Low であり書込みイネーブル信号 WE とラッチクロック LCK に基づいて、ラッチイネーブル信号 LE がアサートされ、ラッチ LT にデータが取り込まれる。第2の場合、連続ロウが書き込まれるのでそのロウについて最新のデータがラッチ LT に記憶される。そして、新規データだけが外部データバスから読み出され選択されたカラムのグループのラッチ LT へ書き込まれる。カラム・グループはカラム・デコード信号 ($Y_1 \cdots Y_k$) によって選択され、選択されたカラム・グループに対するラッチイネーブル信号 LE だけが連続書込みアクセスの間に活性化される ($LE\ only$)。

【0026】

本発明の第2実施例は第1実施例と同様の構造を示しており2個の独立したメモリマットが1個のセンスアンプ SA とラッチ回路 LT を共有している。図10は本発明の第2実施例による一対のアレイ・カラムと、共通のセンスアンプ及びラッチ回路の回路図を示す。

【0027】

図11は本発明の第2実施例による図10の回路の代表的なアクセス波形を示

す。第2実施例では、メモリは上部メモリマットUMATと下部メモリマットLMATから構成される。セルは読み出しワード線UWRL、LWRLおよび書込みワード線UWWL、LWWLを含むロウ信号によって制御される。さらに、マットは読み出しデータ線URDL、LRDL、書込みデータ線UWDL、LWDLを介してアクセスされるセルのカラムに分割される。本実施例では、上側読み出しデータ線URDLと下側読み出しデータ線LRDLが単一のセンスアンプSA回路へ接続されている。センスアンプSAの出力はカラム・ラッチ信号LTIによって制御されるラッチ回路LTの入力へ接続される。ラッチの出力は上側書込みデータ線UWDLまたは下側書込みデータ線LWDLのどちらかへ、対応するスイッチ経由で接続することができ、データ線は上側ラッチ出力ULOと下側ラッチ出力LLOカラム信号で独立制御される。この構造の利点は、センスアンプとラッチ回路を一对のマットの間で共有することにより、アレイ・マットに対する周辺回路の個数と面積が削減できることである。本実施例では、回路総面積が第1実施例より減少できる。

【0028】

本実施例の別の態様は、先行実施例で示したような低電圧基準に対向してセンスアンプの基準信号を決定するダミーセル構造の使用である。図10において、ダミーセルDCが上部メモリマットUMATと下部メモリマットLMATの各カラムに配置される。ダミーセルDCの出力は対応する読み出しデータ線URDL、LRDLへ接続され出力が上側と下側ダミーセルに生成されそれぞれ上側ダミーアクセス線UDLと下側ダミーアクセス線LDLでアクセスされる。ダミーセルDCの機能は対向するメモリマットからのデータを読み出している時にセンスアンプに基準信号を生成することである。上部メモリマットUMATが読み出されているとき、たとえばURWL1がアクセスされている場合、下側ダミーセルが下側ダミーアクセス線LDLによってアクセスされる。このようにすると上側メモリマットからのデータ信号をダミーセルで生成した基準信号と比較できる。したがって、追加の基準信号たとえば先行実施例にある基準信号VR等が不必要になる。

【0029】

このメモリ構造の動作を制御するのに必要とされる信号及び回路の動作を、図 11 に図示した波形図と合わせて説明する。本図では、上側アレイ・マットへの書込み動作とこれに続く下側アレイ・マットへの書込み動作が記述されている。第 1 の書込みアクセスはアドレス A の入力と時刻 T 1 で始まる書込みイネーブル信号 WE のアサートから始まる。本実施例では、第 1 のアクセスが読み出しおよび書込みワード線 URWL 1 と UWWL 1 によって活性化された上部メモリマット UMAT のロウである。アドレスをデコードした後、デコードしたロウの上側読み出しワード線 URWL 1 がアサートされる。同時に、下部メモリマット LMAT カラムにあるダミーセルが LDL によって活性化される。十分な時間の後、センスアンプ SA が活性化されロウデータ A がセンスアンプ出力 SAMP に発生する。このデータは時刻 T 2 でラッチ入力カラム信号 LTI 1 によってラッチ回路 LT へラッチされる。データを書き換える書込みフェーズが上側ラッチ出力信号 ULO 1 のアサートにより開始され、この時点で書込みデータが上側書込みデータ線 UWDL へ出力される。選択された上側書込みワード線 UWWL 1 のアサートでセルへ内容が書き戻される。内容がセルへ書き戻されると、後続の書込みサイクルが開始する。次のロウアドレス B がアレイに提示され書込みイネーブル信号 WE が時刻 T 3 にアサートされる。本実施例では、この書込みサイクルが下部メモリマット LMAT のロウに対するものであると仮定する。ロウアドレスをデコードすると、読み出しワード線 RWL 1 がアサートされセルの内容が下側読み出しデータ線 LRDL に出力される。データ線信号が十分に発生した後、センスアンプが活性化されロウデータ B がセンスアンプ出力 SAMP に提示される。この時点で直前のアクセスの書込みサイクルは書込みワード線 UWWL 1 の不活性化により完了する。センスアンプにあるロウデータは時刻 T 4 でラッチ入力信号 LTI 1 の活性化によりラッチに記憶される。このフェーズに続いて、第 2 のアクセスの書込みフェーズが第 1 のアクセスと同様の方法で完了する。このようにすると、二つの連続サイクルの読み出し及び書込みフェーズがオーバーラップして実行サイクル時間が短縮される。本実施例で提示された共有構成により周辺回路の占有面積を小さくでき、製造コストの全体的な減少につながる。

【0030】

本発明の第3実施例はメモリアレイに関するもので、読み出しフェーズが書込みサイクルの書込みフェーズより大幅に短くなっている。

【0031】

図12は本発明の第3実施例による単一のアレイ・カラムの回路図を示す。

【0032】

図13は本発明の第3実施例による図12の回路の代表的なアクセス波形を示す。第1実施例との基本的な相違点は、センスアンプSAと書込みデータ線WDLの間に1つのラッチではなく複数個のラッチを配置したことである。この構造では、メモリアレイの書込みアクセス実効速度が第1実施例に比べて速くできる。読み出しフェーズが書込みフェーズより速く完了する場合であっても、第1実施例のアクセス速度は書込みフェーズの速度に制限されていた。それに対し、本実施例では、実効アクセス速度はより速い読み出しフェーズの速度に制限される。

【0033】

図12及び図13により本発明の第3の実施例を説明する。図12に図示してあるように、メモリアレイは第1実施例と同様で一連のメモリセルがロウとカラムに構成されている。各メモリセルは読み出しワード線RWL、書込みワード線WWL、読み出しデータ線RDL、書込みデータ線WDLに接続される。各読み出しデータ線RDLはセンスアンプSAに接続され、データ値を判定する。センスアンプSAの出力は複数個のラッチ回路LTの入力へ接続される。さらに、外部データ入力DINがデータ入力スイッチ信号DISによってイネーブルになったスイッチを経由してラッチ回路LTの入力へ接続される。各ラッチ回路LTはラッチ入力信号(LTI1～LTIp)によって活性化される。各ラッチ回路LTの出力はラッチ出力イネーブル信号(LTO1～LTOp)によって活性化されたスイッチを介して書込みデータ線WDLへ接続される。最後に、書込みデータ線の値はデータ出力信号DOSによって活性化されたスイッチを介して外部出力データバスDOUTへ出力することができる。

【0034】

第3実施例の回路の動作を図13に示される波形図と合わせて説明する。カラ

ムあたり複数のラッチ回路LTがあるので、複数のロウデータを同時に記憶することができる。即ち、高速な読み出しフェーズと低速な書込みフェーズメモリアレイの書込みアクセスの場合、数個のロウを高速で読み出してラッチ回路LTに格納できる。言い換えれば、複数読み出しフェーズが発生している間に単一の書込みフェーズを実行する。したがって、システムバスは書込みフェーズの完了をまって読み出しフェーズを実行する必要がなく、他のメモリアレイへのアクセスを継続できる。代表的な動作では、2つの書込みアクセスが順次、2つの独立したロウアドレスXADRAとXADRBに対して実行される。第1のロウアドレスXARDAについてアドレスをデコードした後、データを読み出し第1の入力ラッチ信号LTI1の活性化によって第1のラッチLTへ格納する。この時点で、サイクルの書込みフェーズはラッチ出力スイッチ信号LTO1の活性化と書込みワード線WWL1の活性化により行なわれる。ついで第2のアクセス・アドレスXADRBがデコードされ、データがセンスアンプ出力SAMPに発生する。第1実施例の回路とは異なり、この信号は第1のアクセスの書込みフェーズがまだ継続している間であっても第2の入力ラッチ信号LTI2を活性化することで記憶できる。第3のアクセスXADRCが発生した場合、図面の下部に示しである通り、このデータも第1の書込みフェーズが発生している一方で読み出すことができる。このようにすると、アレイのアクセス時間はアクセスの読み出しフェーズの時間に制限されることになり、書込みフェーズより大幅に高速にすることができる。

【0035】

この方式において外部アクセスが読み出しフェーズ時間より長くなる場合が二つ考えられる。第1の場合はロウデータでラッチLTが満杯になり書込みフェーズが未だ完了していないときである。たとえば、3つのカラム・ラッチのあるシステムで書込みフェーズが読み出しフェーズより3倍長い時間がかかるシステムを考えてみる。最初の3つの書込みアクセスは利用可能なカラム・ラッチに3つのロウのデータを格納する。しかし、第4のアクセスでは、外部バスはロウの1つの書込みフェーズが完了しラッチが開放されるまで待たなければならない。要するに、アクセス速度は全部のアクセスでラッチが満杯になるまで読み出しフェ

ーズ速度に制限される。後続の全てのアクセスは追加のラッチが開放されるまで読み出しフェーズ速度に制限される。第2の場合はロウへの書込みアクセスが現在直前の書込みアクセスの書込みフェーズにあるロウで発生した場合である。この場合、そのロウの書込みワード線は活性化されているので、アレイのロウデータが更新されるまで外部アクセスを保留する必要がある。書込みワード線が不活性化された後、最新データがアレイにあるので、アレイからの読み出しフェーズを実行せずに新規の外部データを直接ラッチへ読み出すことができる。

【0036】

上述の明細書において、本発明はその特定の実施例を参照して説明した。しかし本発明の広い趣旨と範囲から逸脱することなく各種の変更及び変化をこれに成し得ることは明らかであろう。明細書と図面はしたがって制限ではなく説明の意味で考慮すべきものである。

【発明の効果】

3トランジスタセルなど書込みが破壊動作となるメモリセルにおける書込み動作の高速化を実現できる。

【図面の簡単な説明】

【図1】

本発明の第1実施例によるメモリ回路の回路図及び動作波形図を示す図である。

【図2】

本発明の実施例によるメモリ要素として使用される代表的なゲインセル構造の回路図、波形図、3トランジスタセルの断面図である。

【図3】

3トランジスタセルを用いた従来のメモリの構成を示した図である。

【図4】

本発明の第1実施例による周辺回路ブロック及び信号を示すアレイのブロック図である。

【図5】

本発明の第1実施例による図4の回路で使用するアクセス信号を示す波形図で

ある。

【図 6】

本発明の第 1 実施例の連続アクセス信号 CA を生成するように構成された回路及び波形図である。

【図 7】

本発明の第 1 実施例によるワード線信号ジェネレータの回路図である。

【図 8】

本発明の第 1 実施例による図 7 に示した回路のアクセス信号を示す波形図である。

【図 9】

本発明の第 1 実施例によるカラムセクタ・ジェネレータの回路図及び波形図である。

【図 10】

本発明の第 2 実施例によるメモリのアレイブロック図である。

【図 11】

図 10 における代表的な動作の波形図である。

【図 12】

本発明の第 3 実施例によるメモリの周辺回路ブロック及び信号のアレイブロック図である。

【図 13】

図 12 における代表的な動作の波形図である。

【符号の説明】

WWL・・・書込みワード線、RWL・・・読出しワード線、WDL・・・書込みデータ線、RDL・・・読出しデータ線、LT・・・ラッチ回路、SA・・・センスアンプ、LE・・・ラッチイネーブル信号、QW・・・書込みトランジスタ、QS・・・蓄積トランジスタ、QR・・・読出しトランジスタ、MC・・・メモリセル、QP・・・プリチャージトランジスタ、XDEC・・・ロウデコーダ回路、XDRV・・・ワード線ドライバ回路、YDEC・・・カラムデコーダ、YDRV・・・カラムドライバ回路、ADRCCTL・・・アドレス制御回路、CLK GEN・・・クロック・ジェネレータプロ

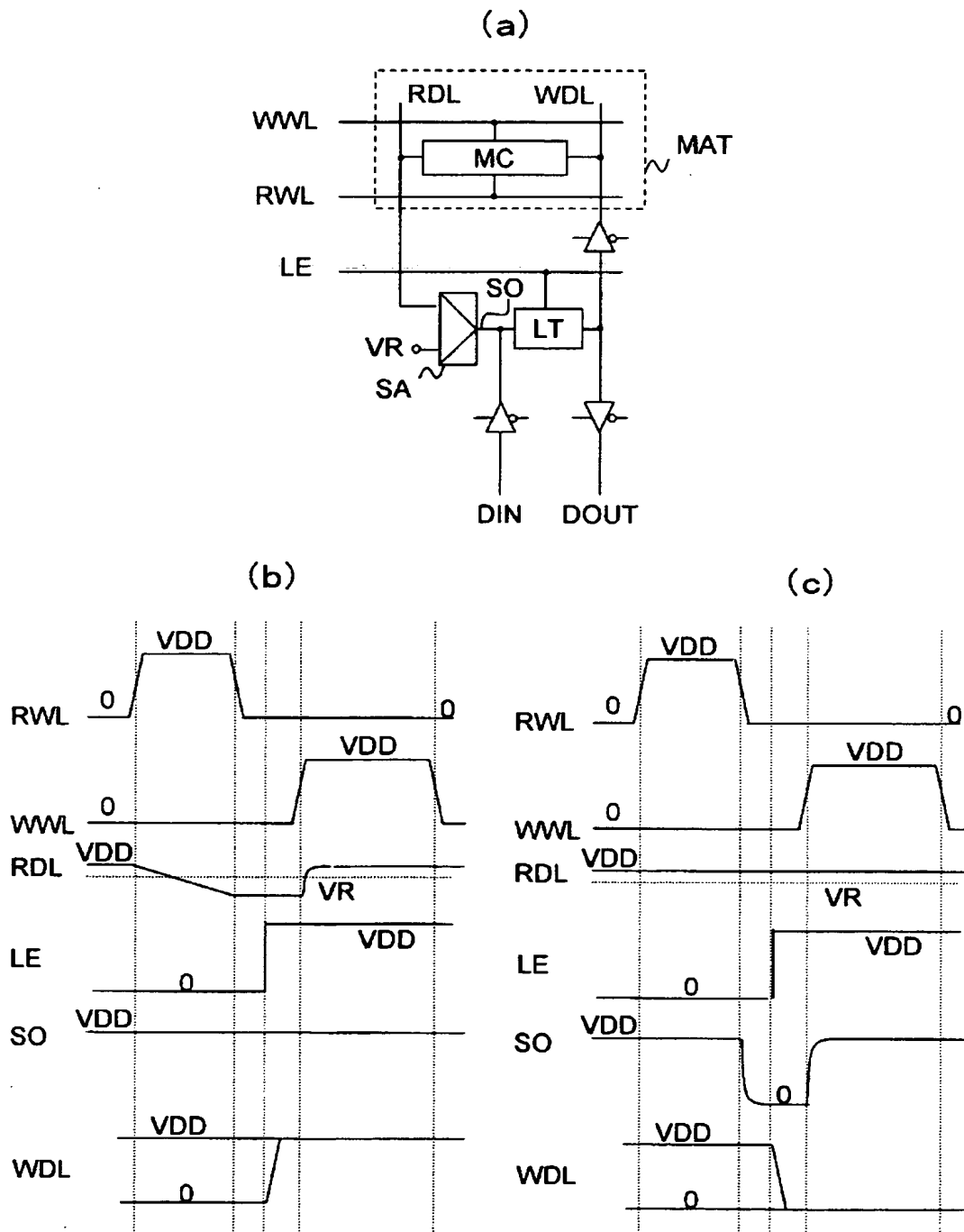
ック、C A ……連続アクセス信号、W L T ……ロウラッチ、S R L ……セット/リセット・ラッチ、D C ……ダミーセル。

【書類名】

図面

【図1】

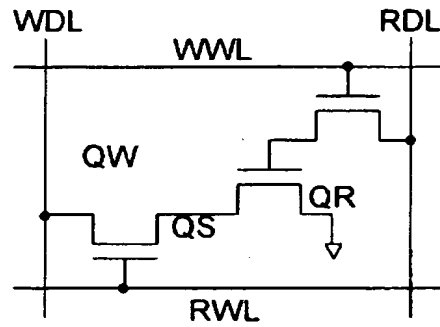
図1



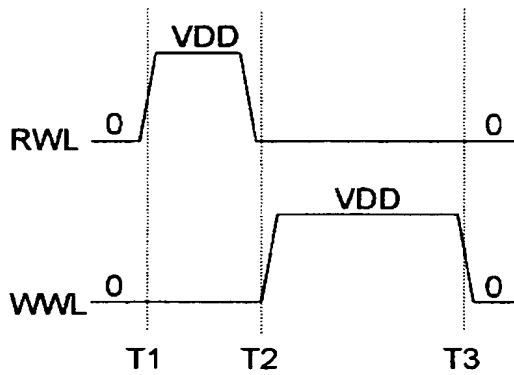
【図 2】

図 2

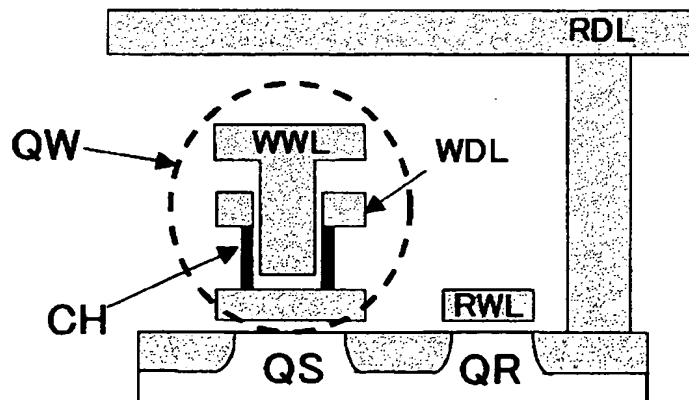
(a)



(b)

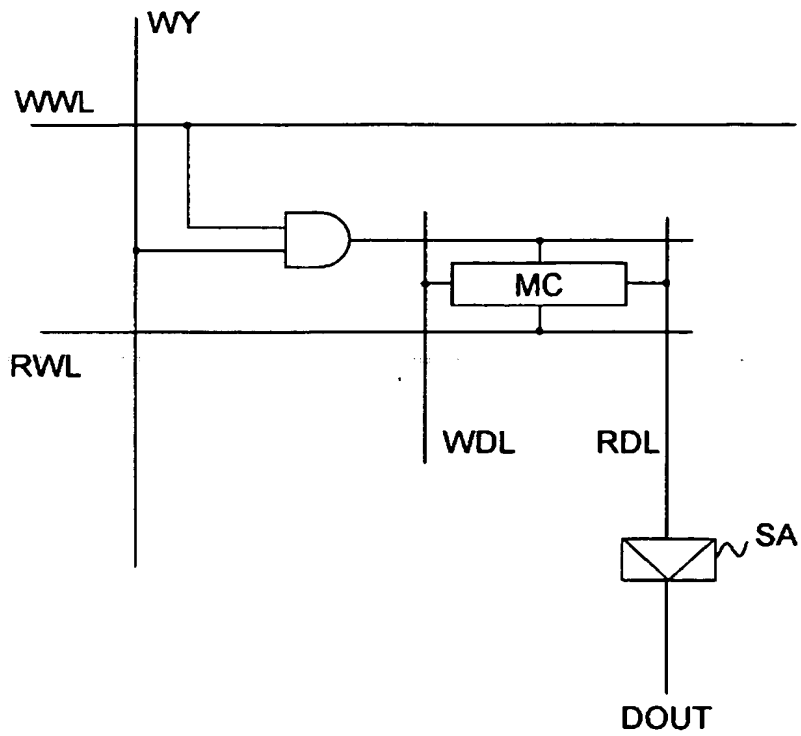


(c)



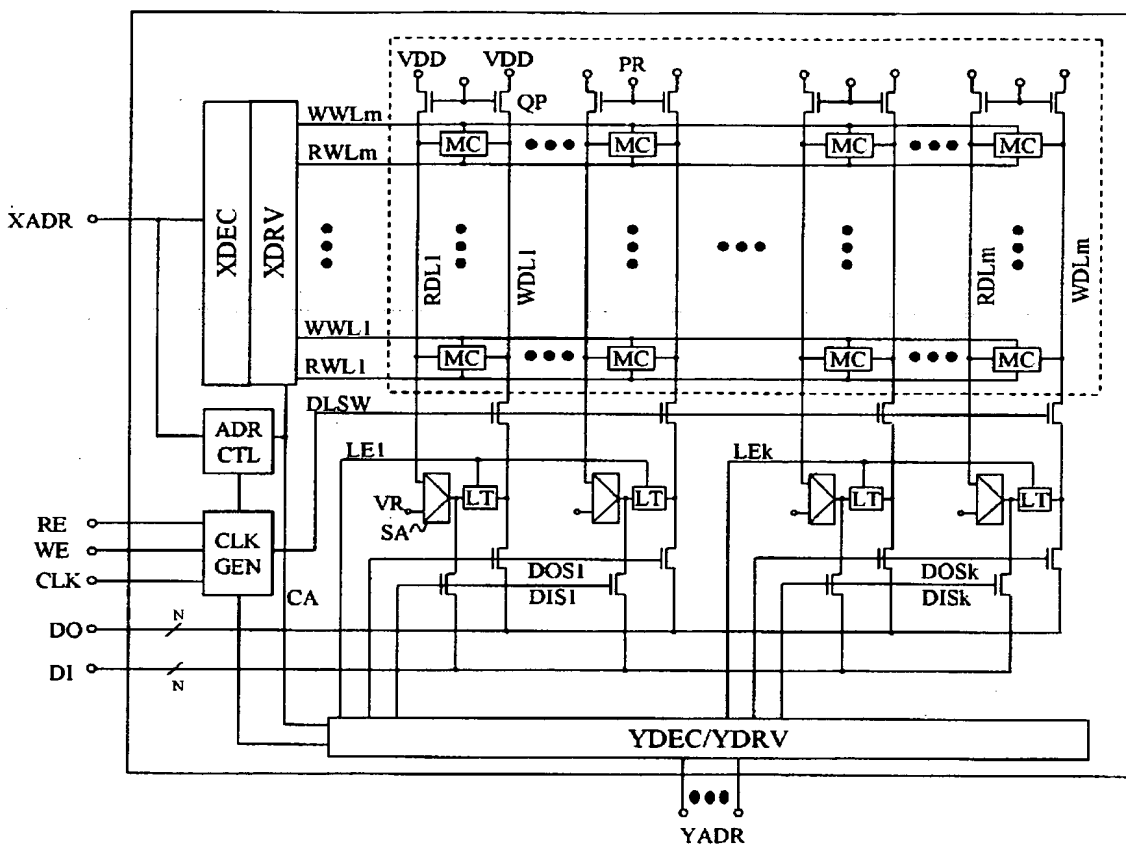
【図 3】

図 3



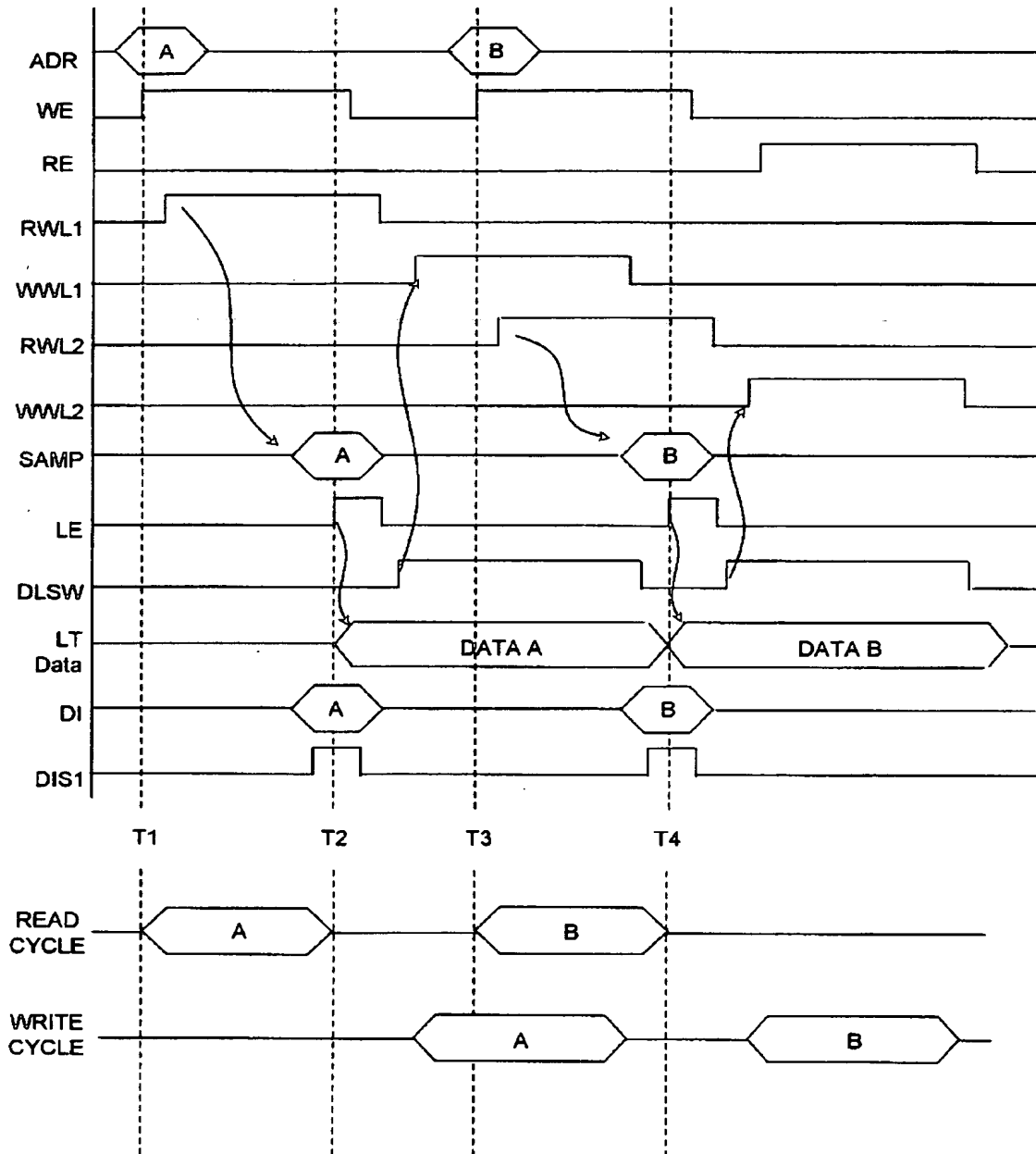
【図 4】

図 4



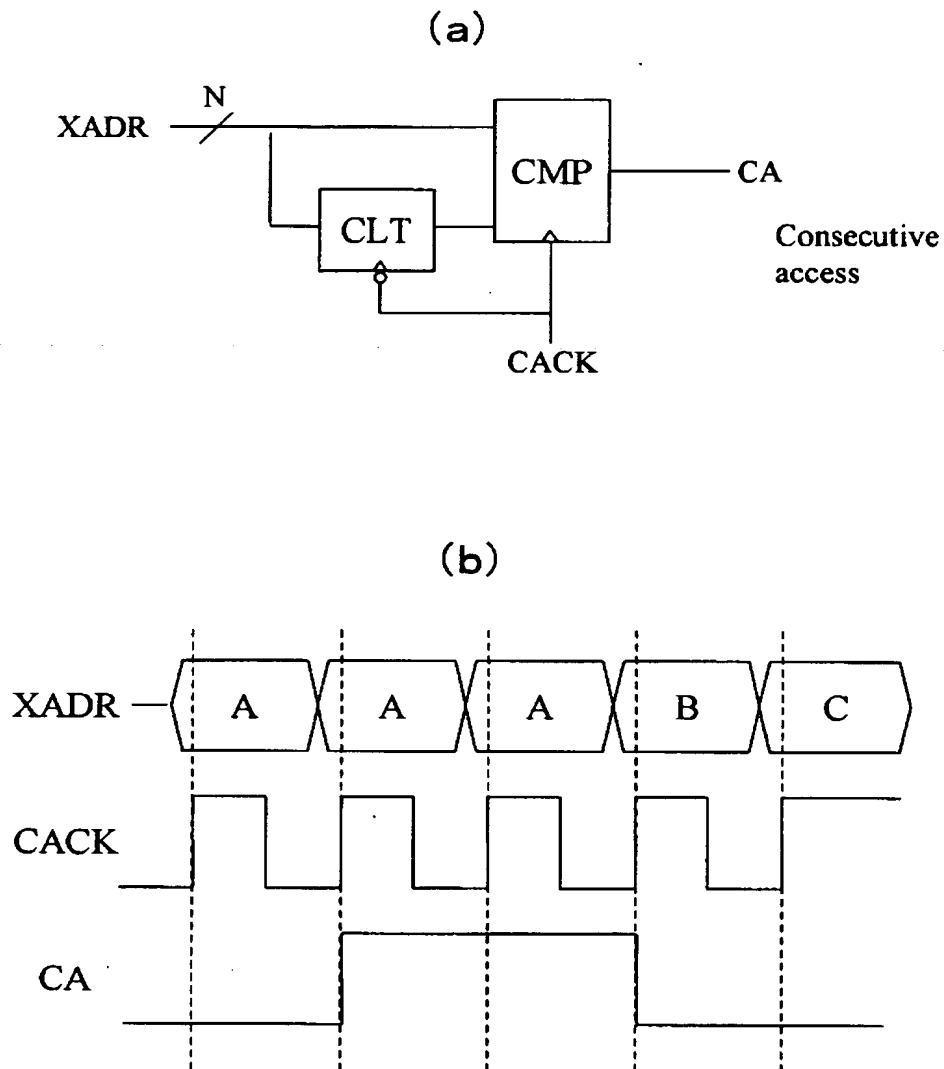
【図 5】

図 5



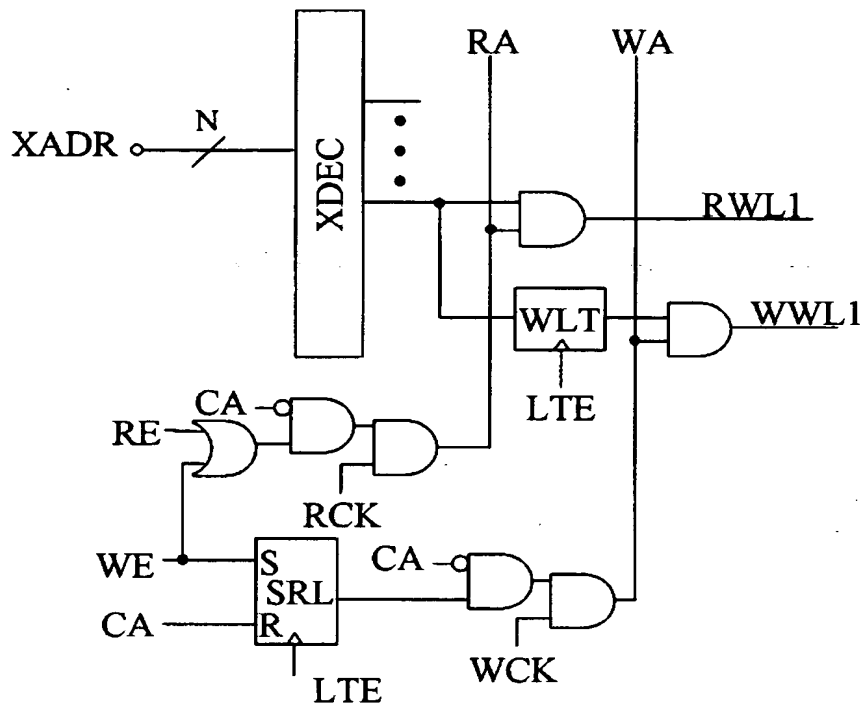
【図 6】

図 6



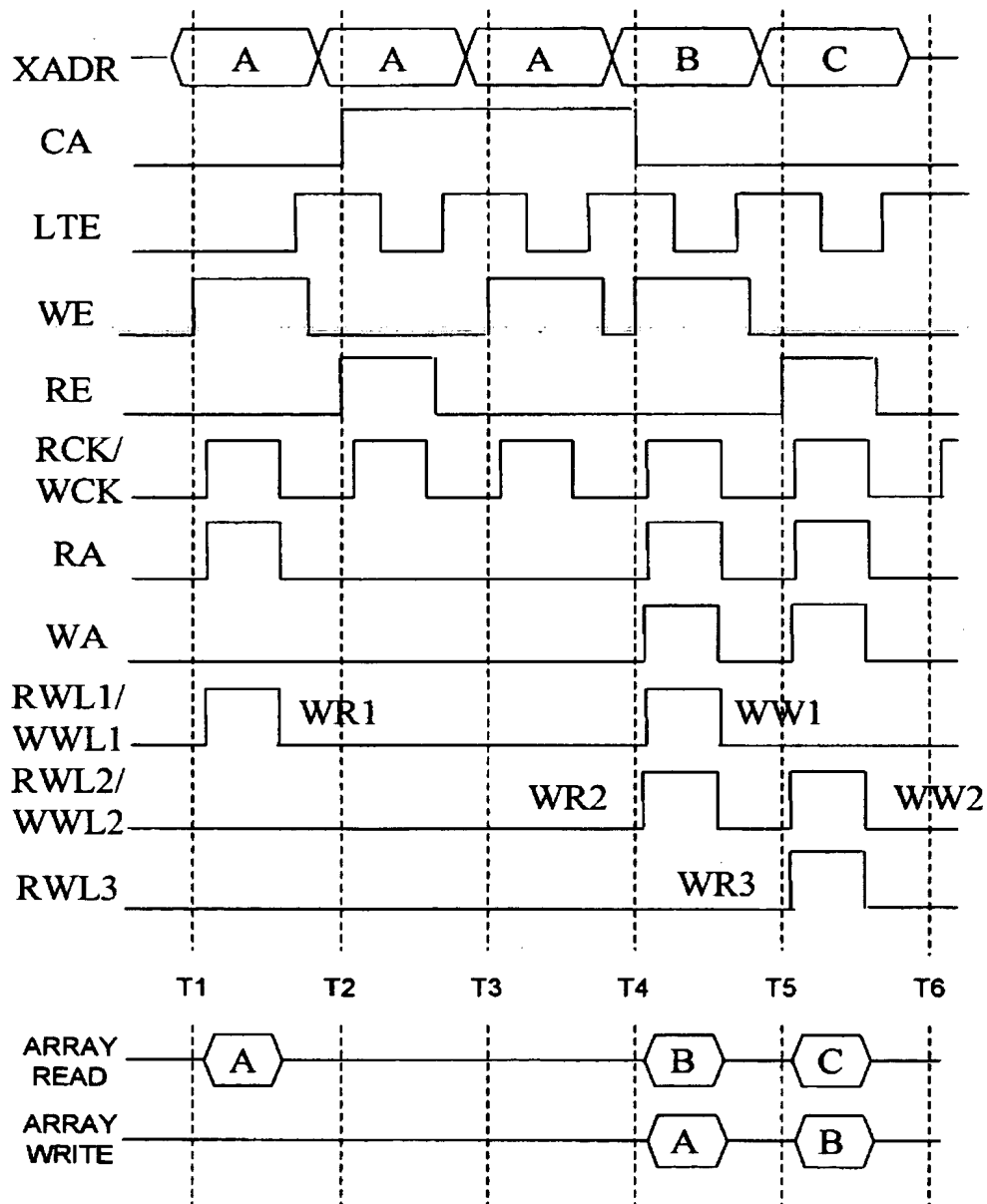
【図 7】

図 7



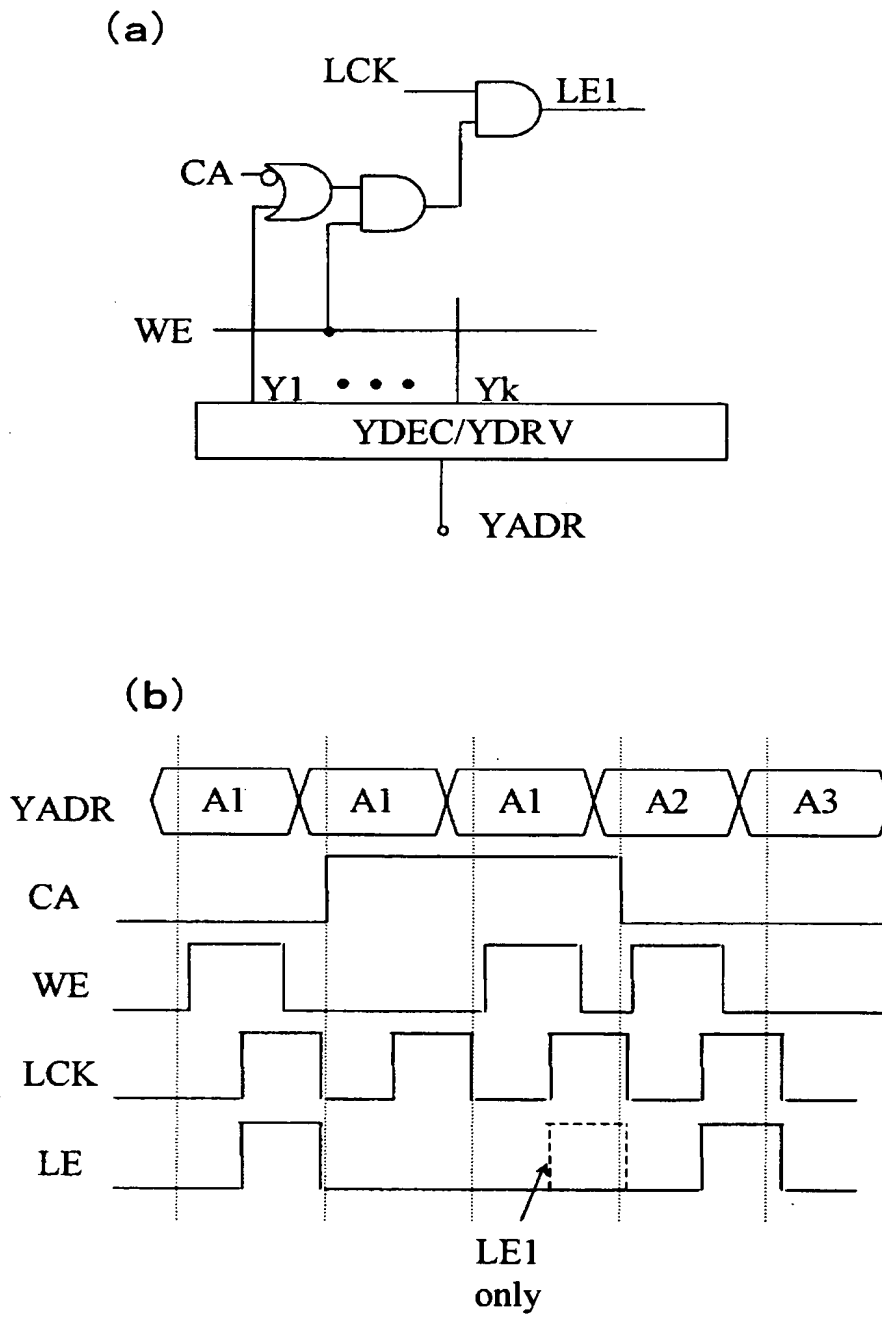
【図 8】

図 8



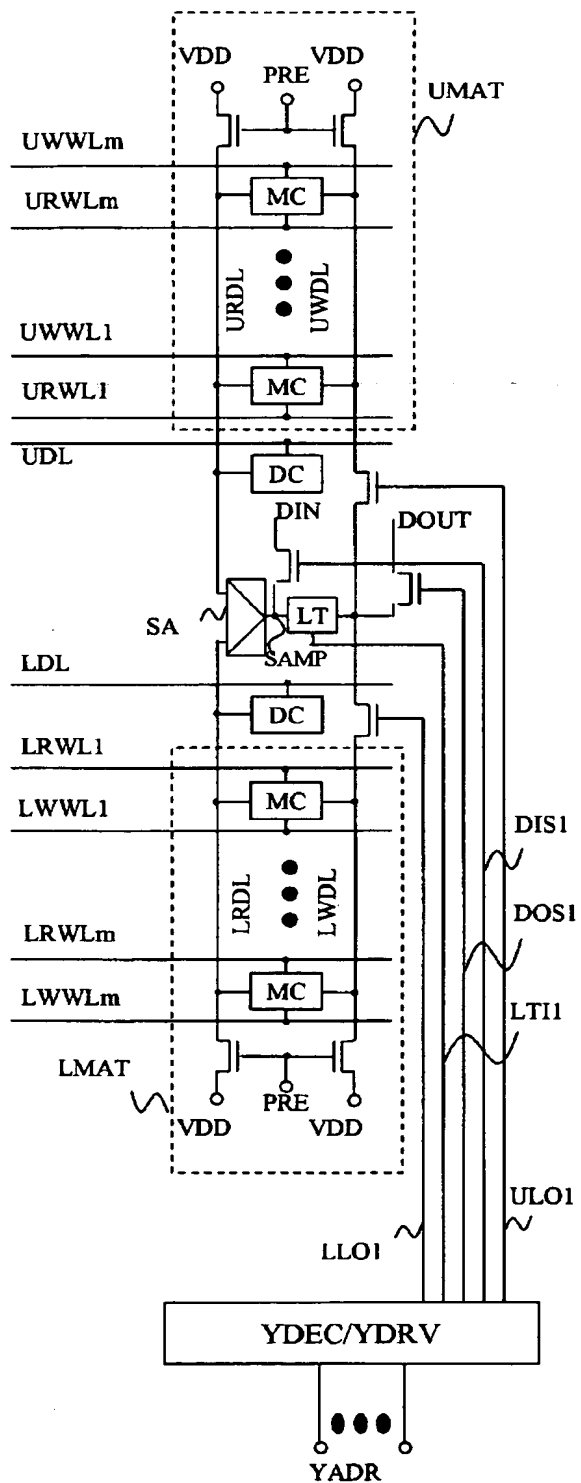
【図9】

図9



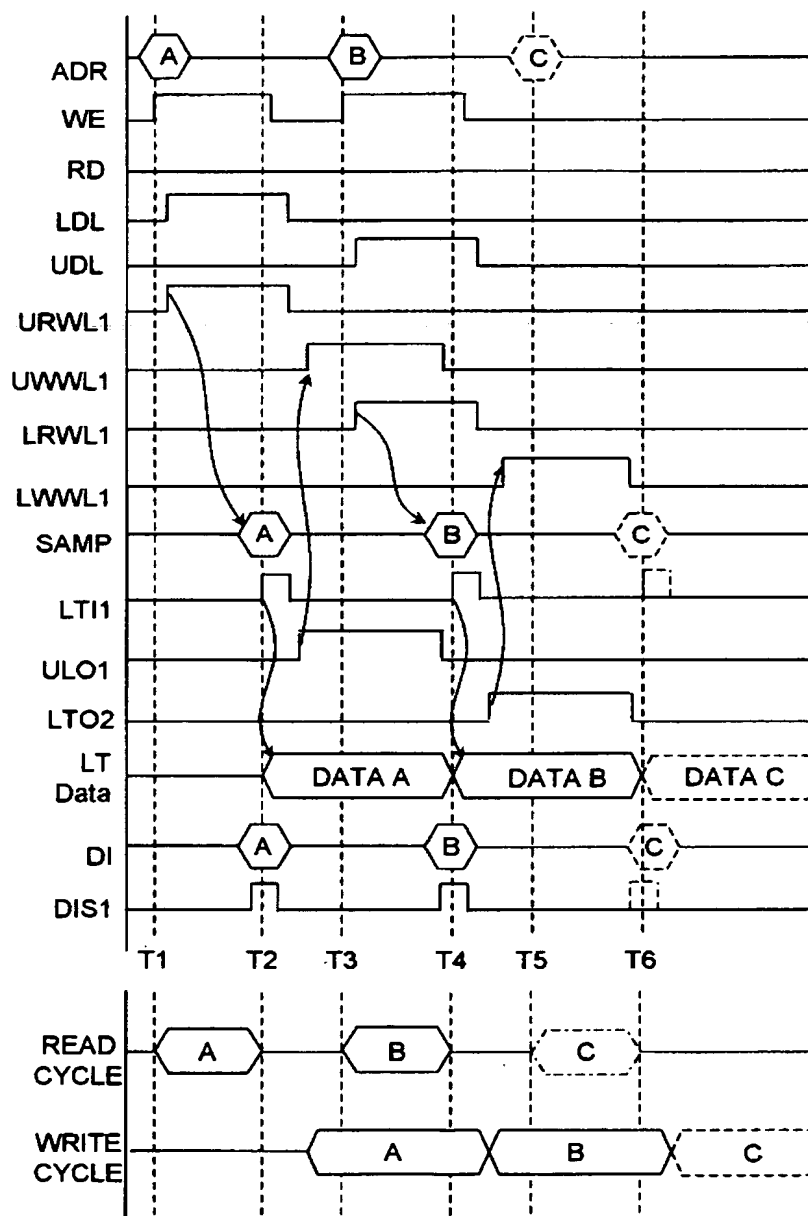
【図 10】

図10



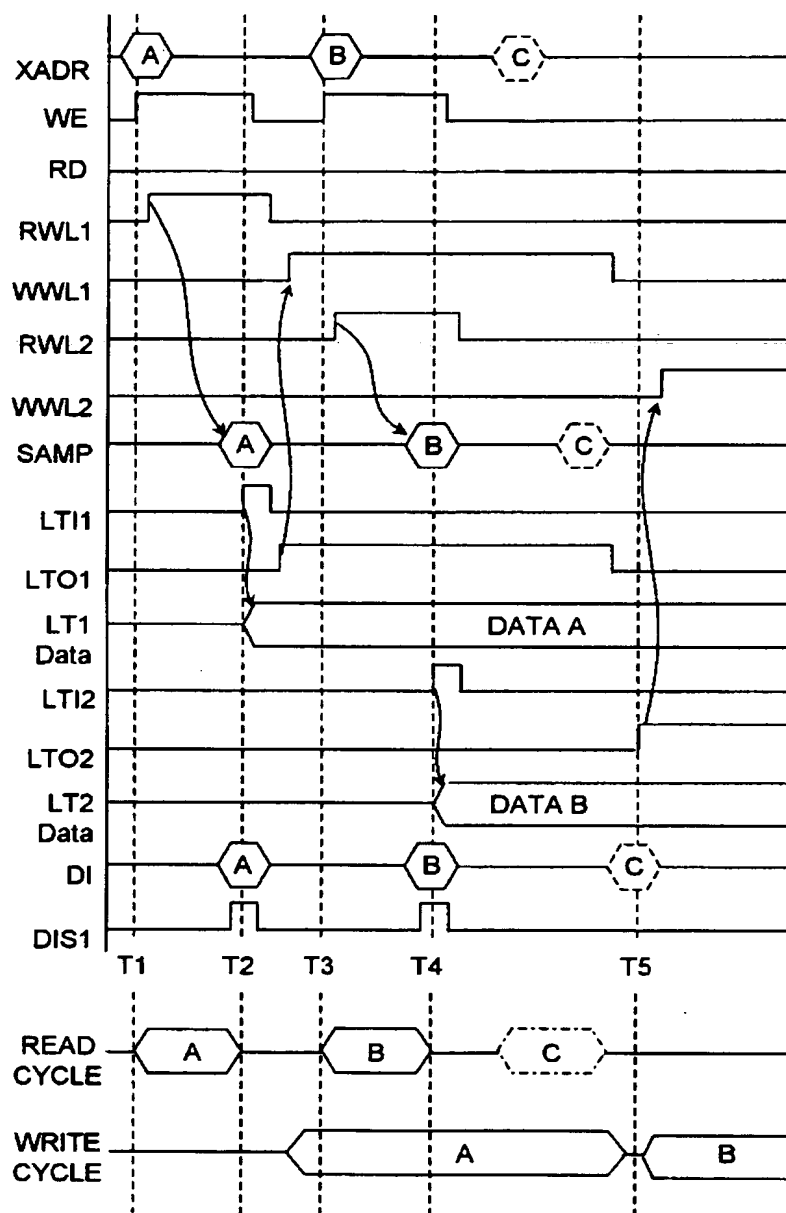
【図 11】

図 11



【図 13】

図13



【書類名】 要約書

【要約】

【課題】 3トランジスタセルなど書込みが破壊動作となるメモリセルにおける書込み動作の高速化を図る。

【解決手段】 複数のワード線WWL、RWLと、前記複数のワード線WWL、RWLと交差する一対のデータ線WDL、RDLと、前記複数のワード線WWL、RWLと前記一対のデータ線WDL、RDLの交点に設けられた複数のメモリセルMCとを含むメモリカラムとを具備し、前記複数のメモリセルMCの夫々は、前記複数のワード線WWL、RWLうち対応するワード線によりアクセスされ、前記複数のワード線のうち2本が並行して活性化することを可能とする。

【選択図】 図4

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 2 0 5 6 1 5
受付番号	5 0 3 0 1 2 8 5 0 8 3
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 5 年 8 月 5 日

< 認定情報・付加情報 >

【提出日】	平成 15 年 8 月 4 日
-------	-----------------

特願 2 0 0 3 - 2 0 5 6 1 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所